

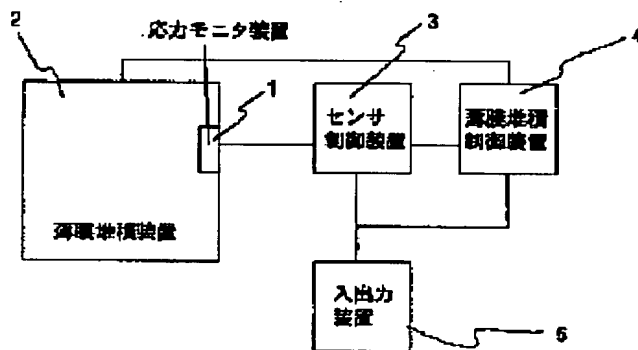
**THIN FILM MANUFACTURING DEVICE AND SEMICONDUCTOR DEVICE**

**Patent number:** JP8213296  
**Publication date:** 1996-08-20  
**Inventor:** MIURA HIDEO; NAKAJIMA TAKASHI; TSUZUKI KOICHI; NISHIMURA ASAO  
**Applicant:** HITACHI LTD  
**Classification:**  
- international: H01L21/02; C23C16/44; H01L21/203; H01L21/205; H01L21/31; H01L21/66  
- european:  
**Application number:** JP19940254966 19941020  
**Priority number(s):**

**Abstract of JP8213296**

**PURPOSE:** To prevent contamination due to dust in an device and on a substrate for accumulating thin films by providing a controller, which monitors the inner stress of the thin film which adheres to the inner wall of the device and sends a signal just before the stress reaches the limit value that causes cracks or peeling on the thin film.

**CONSTITUTION:** In the thin film accumulation chamber 2 of a thin film manufacturing device, a stress sensor 1, which measures the inner stress of the thin film adhering to the inner wall of the device. Then, film forming conditions are inputted from an input/output device 5 and when the device operation is started to accumulate thin films, a controller 3 detects a signal (resistance change and temperature) from the stress sensor 1 and measures the stress conditions of the thin film adhering to the surface. While the inner stress of the film is below the limit value which does not cause peeling or cracks on the film, a signal is transmitted to a controller 4 to continue the thin film accumulation. When the inner stress of the film exceeds the limit value during film formation, warning output is transmitted to the controller 3.



Data supplied from the esp@cenet database - Patent Abstracts of Japan

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平8-213296

(43)公開日 平成8年(1996)8月20日

(51)Int.Cl. <sup>6</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/02	Z			
C 2 3 C 16/44	J			
H 0 1 L 21/203	S			
21/205				
21/31	C			

審査請求 未請求 請求項の数 7 O L (全 10 頁) 最終頁に続く

(21)出願番号 特願平6-254966

(22)出願日 平成6年(1994)10月20日

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72)発明者 三浦 英生

茨城県土浦市神立町502番地 株式会社日

立製作所機械研究所内

(72)発明者 中島 隆

茨城県土浦市神立町502番地 株式会社日

立製作所機械研究所内

(72)発明者 都築 浩一

茨城県土浦市神立町502番地 株式会社日

立製作所機械研究所内

(74)代理人 弁理士 小川 勝男

最終頁に続く

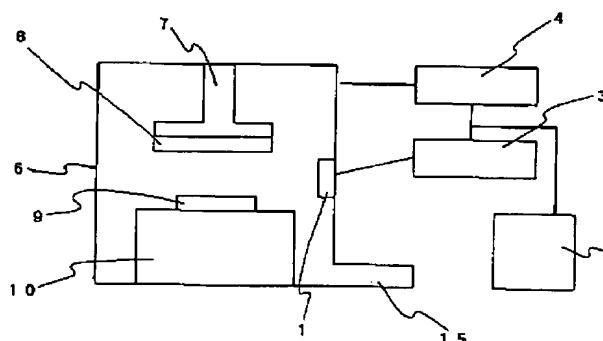
(54)【発明の名称】 薄膜製造装置及び半導体装置

(57)【要約】

【目的】 薄膜製造装置内部に付着した薄膜がひび割れを生じる、あるいは内壁界面からはく離脱落することによる塵埃発生を予測し、装置内部及び薄膜堆積用基板の塵埃汚染を未然に防止する手段及びこの手段を搭載した薄膜製造装置構造を提供する。

【構成】 薄膜製造装置に、装置内壁に付着する薄膜の内部応力をモニタし、応力が薄膜の割れあるいははがれを生じる限界値に到達する直前に信号を発する制御装置を設ける。制御装置は次の薄膜堆積条件を遂行した場合に付着膜の応力が所定の値を越えるか否かを判定し、越えると予測された場合に信号を発し、装置の洗浄あるいは部品の交換を指示する。薄膜の内部応力を測定する方法には、半導体ひずみゲージを内蔵させたセンサを装置内部に設置する、付着薄膜の応力に起因した所定の基板の反り変形を測定するセンサを装置内に設ける、付着薄膜内部の超音波の伝搬速度測定から応力を測定するセンサを装置内に設ける等がある。

図 5



## 【特許請求の範囲】

【請求項1】 薄膜製造装置において、薄膜堆積室内部に薄膜堆積用基板以外の装置内に付着する薄膜の内部応力を測定するセンサと、前記センサとの信号あるいは計測用電力の伝達及び異常が発生した場合の警報信号を発する制御装置を設けたことを特徴とする薄膜製造装置。

【請求項2】 請求項1において、前記付着膜の応力を測定するセンサがシリコン基板表面近傍に形成した拡散抵抗体からなる薄膜製造装置。

【請求項3】 請求項1において、前記付着膜の応力を測定するセンサがカンチレバー構造と、前記カンチレバーのたわみ変形を測定する測長センサからなる薄膜製造装置。

【請求項4】 付着膜の内部応力が膜のはく離あるいは割れで規定される所定の応力値を越えた場合に警報を発して薄膜の堆積を中止する制御装置を有したことを特徴とする薄膜の製造装置及び薄膜の堆積方法及び薄膜の堆積装置を使用して製造した半導体装置。

【請求項5】 請求項1において、前記薄膜の製造装置がスパッタ装置である薄膜製造装置。

【請求項6】 請求項1において、前記薄膜の製造装置がCVD装置である薄膜製造装置。

【請求項7】 付着膜の内部応力が膜のはく離あるいは割れで規定される所定の応力値を越えた場合あるいは次の膜の堆積途中に限界値を越える可能性がある場合に警報を発し、膜の堆積を中止することを特徴とする薄膜の堆積方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は薄膜製造装置構造及び薄膜の堆積方法に関する。

## 【0002】

【従来の技術】 薄膜を使用して製造する半導体関連あるいは光、磁気関連製品では、薄膜堆積過程で、異物等の塵埃が膜堆積基板上に付着すると、塵埃が付着した部分に正常な膜堆積を行うことができなくなるために精度の高い微細加工を行うことができなくなり、製品の信頼性や製造歩留りが大幅に低下してしまう。このため、膜堆積過程における塵埃除去が重要な課題となる。しかし、従来のCVD (Chemical-Vapor-deposition) 法やスパッタ法を使用した薄膜堆積装置では、本来基板上のみに堆積したい薄膜が、装置内壁等の装置構成要素内面上にも堆積されてしまう。こうして基板以外の装置構成要素内面に付着した膜は、膜堆積終了時点で除去されることが望ましいが、膜堆積終了毎に清掃を行うと製品製造のスループットが低下するため、通常は装置構成要素内表面の清掃は所定の間隔（時間あるいは処理数）をおいてなされる。しかし、付着した薄膜は一般に有限の値の内部応力を持つため、付着が繰り返されて膜厚が増加すると膜内部の発生力が増加し、膜表面に割れが入ったり膜が

装置構成要素内面から脱落するなどの現象が発生しやすくなる。膜表面にひび割れが入った場合にはひび割れ周辺から微小な膜構成粒子が飛散して塵埃の原因となり、膜の脱落はそれ自身が塵埃となる。このような塵埃発生は先に述べた問題を生じさせるため、装置内部の清掃は少なくとも塵埃発生前に行わなければならない。この塵埃発生をモニタする方法は、例えば、特開平4-204039号公報に記載されているレーザブレイクダウン法が知られている。本公知例では、光学的に装置内部の塵埃を検知する方法、あるいはアコースティックエミッションセンサを利用して装置内部に付着した薄膜がひび割れる際に発生する高周波弾性波を検知する方法等が開示されている。このような方法を応用した塵埃の発生検知の効果は非常に大きい。塵埃が検知された時点では、装置内部あるいは薄膜形成用基板が発生した塵埃に既に汚染されている可能性が高いという問題があり、塵埃発生を未然に防止することができないという欠点があった。

## 【0003】

【発明が解決しようとする課題】 従来技術では、薄膜製造装置内部の塵埃発生を事前に検知することができなかった。本発明の目的は、薄膜製造装置内部に付着した薄膜がひび割れを生じる、あるいは内壁界面からはく離脱落することによる塵埃発生を予測し、装置内部及び薄膜堆積用基板の塵埃汚染を未然に防止する手段及び手段を搭載した薄膜製造装置構造を提供することにある。

## 【0004】

【課題を解決するための手段】 上記目的を達成するために、本発明では薄膜製造装置に、装置内壁に付着する薄膜の内部応力をモニタし、前記応力が薄膜の割れあるいははがれを生じる限界値に到達する直前に信号を発する制御装置を設ける。制御装置は次の薄膜堆積条件を遂行した場合に付着膜の応力が所定の値を越えるか否かを判定し、越えると予測された場合に信号を発し、装置の洗浄あるいは部品の交換を指示する。薄膜の内部応力を測定する方法は、半導体ひずみゲージを内蔵させたセンサを装置内部に設置する、付着薄膜の応力に起因した所定の基板の反り変形を測定するセンサを装置内に設ける、付着薄膜内部の超音波の伝搬速度測定から応力を測定するセンサを装置内に設ける等がある。

## 【0005】

【作用】 半導体ひずみゲージは、通常の半導体素子製造技術を使用して、シリコン単結晶基板あるいは多結晶基板あるいはアモルファス基板の表面近くにシリコンを電気的に活性化する、P（燐）、B（ほう素）あるいはAs（砒素）等を拡散させ、例えば、図2、図3に示したような抵抗パターンを形成することができる。このひずみゲージの抵抗値は、ピエゾ抵抗効果で変動し、ひずみ量は拡散抵抗の抵抗率あるいは抵抗値変動を測定することで決定することができる。本半導体ひずみゲージを有した基板表面に、内部応力を有した薄膜が付着すると、

基板にも応力が発生し、応力値に応じてひずみゲージの抵抗値が変動する。この抵抗値変動の検出方法は、ゲージに定電流を流して電圧降下の変動を測定する方法、ブリッジ回路を形成してブリッジバランス変動を検出する方法等通常の抵抗値検出に使用される方法のいずれかを採用すればよい。なお、半導体ひずみゲージの特性は温度に対して敏感に変動してしまうので、ひずみゲージ近くには温度センサを設けることが不可欠となる。簡易温\*

$$\delta R1/R1 = \pi x \sigma x + \pi y \sigma y + \pi z \sigma z$$

(数1)

【0007】

※10※【数2】

$$\delta R2/R2 = \pi y \sigma x + \pi x \sigma y + \pi z \sigma z$$

(数2)

ここで、R1、R2は抵抗17-1、17-2の抵抗率、 $\pi x$ 、 $\pi y$ 、 $\pi z$ はそれぞれ独立したピエゾ抵抗係数、 $\sigma x$ 、 $\sigma y$ 、 $\sigma z$ は図中に示した直交三軸方向の垂直応力成分である。表1に不純物としてPとBを使用し★

\*度センサは、半導体pn接合ダイオードの順方向電圧の温度依存性を利用するのが容易である。半導体pn接合ダイオードは、ひずみゲージと同様に不純物の拡散で形成することが可能である。本半導体ひずみゲージにおける各拡散抵抗の応力起因の抵抗率変動は次式で表される。

【0006】

【数1】

★で作製した拡散抵抗のピエゾ抵抗係数測定例を示す。

【0008】

【表1】

表 1

ピエゾ抵抗係数測定例

(単位:  $10^{-11} \text{ m}^2/\text{N}$ )

	$\pi x$	$\pi y$	$\pi z$
p型(Bドーパ)	71.8	-66.3	-1.1
n型(Pドーパ)	-31.2	-17.6	53.4

【0009】本センサ表面に薄膜が付着する場合は、z方向すなわち膜厚方向には拘束が無い場合、 $\sigma z$ の存在は無視することができる。この場合には、数1、数2は☆

☆近似的に、

【0010】

【数3】

$$\delta R1/R1 = \pi x \sigma x + \pi y \sigma y$$

(数3)

【0011】

◆ ◆ 【数4】

$$\delta R2/R2 = \pi y \sigma x + \pi x \sigma y$$

(数4)

と表されるため、各応力成分 $\sigma x$ 、 $\sigma y$ は抵抗率変動の測定結果を用いると、数3、数4を算術的に解くことで一意的に決定することができる。

\*オードに順方向電圧を加えた場合、一定電流条件での接合電圧 $Vj$ は近似的に次式で表される。

【0013】

【数5】

(数5)

【0012】また、温度センサに使用するpn接合ダイ\*  
 $Vj = Vj0 - \gamma(T - T0)$

ここで $Vj0$ は基準温度 $T0$ における電圧、 $\gamma$ は温度係数である。このように、接合電圧は温度に比例して変化するので、 $\gamma$ の値が較正されていれば、電圧変化を測定することで温度を決定することができる。

【0014】次に制御装置の動作について図4を使用して説明する。本ひずみゲージの出力(温度及び抵抗値変動量)は薄膜の堆積中及び堆積終了時点で制御装置に入力される。制御装置は入力データから現在の応力値とともに薄膜堆積一回毎の堆積膜厚と応力増加量を決定し、記憶する。堆積膜厚が一定の場合には膜厚を記録する必要はない。堆積中の応力値あるいは堆積後の応力値が膜はがれあるいはクラック発生に対する所定の値を越えた場合には危険信号を発し、装置のクリーニングあるいは部品の交換を行う。また、次の膜堆積条件(膜厚)による応力増加量が生じると仮定した場合に応力値が膜堆

積中あるいは後に所定の値を越える可能性がある場合も危険信号を発する。これにより薄膜製造装置内における基板以外に付着した膜のはがれやクラックの発生を未然に予測し、防止することが可能となり、装置内部における異物(塵埃)発生を防止することができる。

【0015】装置内部における付着膜の応力測定方法はひずみゲージの応用に限定されるものではない。平板状の基板表面に膜を付着させ、付着膜の内部応力に起因して発生する基板の反り変形を測定することで、付着膜の内部応力を測定することができる。例えば、短冊状に加工した平板表面に薄膜が付着し、応力が発生した場合には図4に示したように基板には反り変形が発生する。この基板の反り変形状態を図に示したようなレーザ光を応用した側長センサを使用して測定する、あるいは基板の曲率半径を測定する。これにより、反り量 $\delta$ を決定し、

付着膜の内部応力 $\sigma$ を次式を用いて決定することができる。

$$\sigma = \{4 E_s t_s^2\} \delta / \{3 L^2 (1 - \nu_s) t_f\} \quad \text{(数6)}$$

ここで、 $E_s$ 、 $\nu_s$ は基板のヤング率及びポアッソン比、 $L$ は基板測定領域長さ、 $t_s$ 、 $t_f$ は基板及び薄膜の厚さである。

【0017】センサの出力結果は制御装置に取り込まれ、制御装置は先に述べたように図4に示した動作フローに従い危険信号を発することで薄膜製造装置内において基板以外に付着した膜のはがれやクラックの発生を未然に予測し、防止することが可能となり、装置内部における異物（塵埃）発生を防止することができる。

【0018】

【実施例】本発明の一実施例を図1、図2、図3、図4、図5を使用して説明する。図1は本発明を使用した薄膜製造装置の構成図、図5は薄膜製造装置としてスパッタ装置に適用した場合の装置構成図、図2及び図3は付着膜の内部応力を測定するピエゾ抵抗効果を応用した応力センサの断面及び平面構造をそれぞれ示したもので、図4は図1あるいは図5に示した制御装置の動作フローを示したものである。

【0019】まず、図1及び図5を使用して本発明の装置構成を説明する。図1に示したように、本発明の薄膜製造装置は、薄膜堆積室2、薄膜堆積室内に設置された装置内壁に付着した薄膜の内部応力を測定する応力センサ1、薄膜の堆積条件を制御する制御装置4、応力センサの入出力系及び装置全体の入出力装置5との情報をやりとりする制御装置3からなる。薄膜の堆積装置として、具体的にスパッタ装置に本発明を適用した場合の装置構成を示したのが図5である。なお、本発明は薄膜の堆積方法に関するものではないので、薄膜の堆積に関する装置の詳細構造は以下の実施例を含めて省略し、簡易表現とするものとする。本発明のスパッタ装置は、主としてスパッタ室6、ターゲット保持治具7、薄膜堆積用のターゲット8、薄膜堆積用基板9、基板保持治具10、薄膜堆積に関するガスの入出力系15、スパッタ室内壁に付着した薄膜の内部応力を測定する応力センサ1、センサとの入出力制御及び装置全体の入出力装置5との情報のやりとりを行う制御装置3、薄膜の堆積条件を制御する制御装置4からなる。応力センサ1はシリコンのピエゾ抵抗効果を応用したもので、図2及び図3に示した構造である。シリコン基板16表面近傍に拡散抵抗層からなる抵抗体17を形成する。本実施例では抵抗体17-1、17-2はシリコンの(100)単結晶基板上に、シリコンの<110>結晶軸方向に平行となるように二本設けてある。本半導体ひずみゲージにおける各拡散抵抗の応力起因の抵抗率変動は数1、数2で表される。

【0020】本センサ表面に薄膜が付着する場合は、 $z$ 方向、すなわち、膜厚方向には拘束が無いので、 $\sigma_z$ の

\*【0016】

\*【数6】

10

20

30

40

50

存在は無視することができる。この場合には、数1、数2は近似的に、数3、数4と表されるため、各応力成分 $\sigma_x$ 、 $\sigma_y$ は抵抗率変動の測定結果を用いると、数3、数4を算術的に解くことで一意的に決定することができる。この構成で基板16の表面に平行垂直応力成分を検出することが可能となる。また拡散層18は温度測定を目的としてpn接合ダイオードを作製するために設けられている。各拡散層からの電気信号の入出力は電極引き出し部20を通して行われる。本拡散抵抗層を形成した表面側が装置内部に向くようにセンサを配置する。本応力センサ表面に内部応力を有した薄膜が付着すると、ピエゾ抵抗効果によって拡散層の抵抗率（値）が変動する。拡散層の初期抵抗率（値）を何らかの方法で記憶しておき、この初期値からの変動量を検出することで発生応力を測定することができる。なお、本実施例で示した拡散層あるいは基板の伝動型（p型あるいはn型）は、必ずしも本実施例の組み合わせに限定されるものではなく、必要に応じて変更すること（p型とn型を入れ換える）ことが可能である。また、抵抗体の本数も二本に限定されるものではなく、場合によっては一本あるいは三本以上設けてもよいし、三本以上設ける場合には、全てをp型あるいはn型の拡散抵抗に統一する必要はなく、両者の組み合わせであってもよい。さらに、本実施例では、応力センサ1は、薄膜堆積室2あるいは6内部に突出した形で設けてあるが、センサ表面に薄膜が直接付着するようになっておれば、装置内壁内部に埋め込まれた構造となってもよい。センサの取付け位置あるいは取付け個数に関しても、本実施例で示した位置に限定されるものではなく、個数も複数個設けてもよい。抵抗値の変動量測定は各拡散層の抵抗値を直接測定してもよいし、ブリッジ回路を構成して変動分だけを検出してもよい。

【0021】以下、本応力センサ1を有した薄膜製造装置の運転方法（制御装置3の動作手順）を図4を使用して説明する。薄膜の堆積開始（装置使用開始）時点でセンサの初期状態（初期抵抗値及び初期値として応力 $\sigma = 0$ 、単位膜厚当たりの応力増加分 $\sigma_U = 0$ ）を設定する。次に入出力装置5から成膜条件を入力し、装置の動作が開始する。薄膜の堆積が開始されると制御装置3は応力センサから信号（抵抗値変動、温度）を検出し表面に付着した薄膜の応力状態を測定する。付着膜の内部応力が膜のはがれあるいは割れ発生に対する限界値 $\sigma_c$ （この場合、 $\sigma_c$ の値は直接の限界値に安全率を考慮した値を使用してもよい）以下である場合には薄膜の堆積を続行するよう制御装置4に信号を伝達する。この場合には必ずしも信号を伝達する必要はなく、信号が入力されない場合には制御装置4は成膜を継続するシステムにしてもよい。成膜中に付着膜の内部応力が限界値を越え

た場合には、制御装置3は警報出力を発生する。この警報発生は入出力装置5を通して行ってもよいし、音、光、振動、電気信号等の伝達手段で装置外に直接信号が伝達されてもよい。また、警報出力とともにただちに成膜を中止してもよいし、そうしなくてもよい。この条件は運転者側で決定すればよい。ただし、異物発生を防止するという観点からは、ただちに成膜を中止するシステムとすることが好ましい。成膜中に発生応力が限界値を越えなかった場合には、成膜は無事終了する。この場合、制御装置は残留応力値を記憶するとともに、成膜過程で生じた応力の変動(増加)量を単位膜厚当たりの値に換算して記憶する。単位膜厚当たりの応力変動量が従来の値より大きかった場合には、異物発生を抑えるという観点から、安全を確保するため、最大値を記憶することにする。成膜を継続して行う場合には、次回堆積する膜厚から応力増加量を算出し、現状の残留応力に応力増加予測量を加えた値が限界応力値を越えるか否かの判定を行う。越える可能性がある場合にはやはり警報を出力する。予測値が限界値を越えない場合には、再び成膜を開始する。成膜を行わない場合には装置は動作を終了する。なお、成膜を再開する場合に、抵抗値検出部がブリッジ回路を構成している場合には、ブリッジをバランス状態に調整しなおしてもよいがしなくてもよい。

【0022】警報出力が発生した場合には、装置内部の洗浄あるいは部品交換を行う。この場合、応力センサ1も洗浄して再使用してもよいし、新品と交換してもよい。あるいは継続使用してもよい。また、一台の装置で複数の材料の堆積を行う場合には、各材料毎に複数のセンサ1を使い分けてもよいし、特定のセンサを継続使用してもよい。

【0023】以上、本実施例では、薄膜製造に使用するスパッタ装置で、装置内部に付着する薄膜の内部応力状態を直接測定することが可能となり、応力値が異物発生の原因となる付着膜のはがれや割れに対する限界値に達する前に警報を発生することができるので、装置内部における異物発生を防止できる。

【0024】次に本発明の第二の実施例を、図1、図2、図3、図4、図6を使用して説明する。本実施例は、第一の実施例とは、薄膜製造装置がCVD法を応用しているという構成部分のみが異なるものである。CVD装置は主としてCVD装置外管11、CVD装置内管12、基板支持ポート13、支持台14、ガス入出力系15、装置内壁に付着した薄膜の内部応力を測定する応力センサ1、該センサとの入出力制御及び装置全体の入出力装置5との情報のやりとりを行う制御装置3、薄膜の堆積条件を制御する制御装置4からなる。応力センサ及び制御装置3あるいは4の動作内容あるいは構成要件に関しては第一の実施例と同様である。

【0025】このため、本実施例では、薄膜製造に使用するCVD装置で、装置内部に付着する薄膜の内部応力

状態を直接測定することが可能となり、応力値が異物発生の原因となる付着膜のはがれや割れに対する限界値に達する前に警報を発生することができるので、装置内部における異物発生を防止できる。

【0026】次に本発明の第三の実施例を図1、図7、図8、図9を使用して説明する。本実施例では、応力センサ1及びその制御装置3、薄膜の堆積室2及び薄膜の堆積条件制御装置4、入出力装置5からなる薄膜製造装置で、応力センサ1が図7あるいは図8に示したカンチレバー構造からなることを特徴とする。図7は片持ちはり構造のカンチレバーからなる応力センサを示したものである。カンチレバー21に内部応力を有する薄膜24が付着すると、カンチレバー21に図示したようにたわみが発生する。このたわみ量を測長センサ23を使用して測定する。たわみ量の測定は一個のセンサを使用して一箇所の値を測定してもよいし、複数のセンサを使用して全体のたわみ変形状態(曲率)を測定して決定してもよい。あるいはセンサ数は一個で走査してたわみ状態を測定してもよい。付着した膜の内部応力状態は、このたわみ量から材料力学の基本式(例えば $\sigma = \{4 E s t s^2\} \delta / \{3 L^2 (1 - \nu s) t f\}$ 、ここで、Es、 $\nu s$ は基板のヤング率及びポアソン比、Lは基板測定領域長さ、ts、tfは基板及び薄膜の厚さである。)を適用して決定することができる。本応力センサでは、カンチレバー表面以外には膜が付着しないように、保護カバー25、あるいは26が設けられている。カンチレバーの構造は、必ずしも片持ちはり構造である必要はなく、図8に示したような中央支持構造であってもよい。本応力センサを使用することで付着膜の内部応力を測定することが可能となる。図9は本応力センサを内蔵した薄膜製造装置における、応力センサ1及び制御装置3の動作フローを示したものである。全体の構成及び動作手順は図4に示したものと同一であるが、付着膜の内部応力測定原理が図4の抵抗値変動測定からカンチレバーのたわみ変形測定に変更した点が異なっている。

【0027】なお、薄膜製造装置の具体例は、第一の実施例で示したスパッタ装置あるいは第二の実施例で示したCVD装置が考えられる。それぞれの具体例に本実施例の応力センサを適用した場合の構成要件あるいは使用方法等は第一の実施例あるいは第二の実施例で述べたものが全て適用可能である。

【0028】したがって、本実施例でも、薄膜製造に使用するスパッタ装置あるいはCVD装置で、装置内部に付着する薄膜の内部応力状態を直接測定することが可能となり、応力値が異物発生の原因となる付着膜のはがれや割れに対する限界値に達する前に警報を発生することができるので、装置内部における異物発生を防止できる。

【0029】

【発明の効果】本発明によれば、薄膜製造に使用するス

パッタ装置あるいはCVD装置で、装置内部に付着する薄膜の内部応力状態を直接測定することが可能となり、応力値が異物発生の原因となる付着膜のはがれや割れに対する限界値に達する前に警報を発生することができるので、装置内部における異物発生を防止できる。

【図面の簡単な説明】

【図1】 薄膜製造装置のブロック図。

【図2】 ひずみゲージ断面図。

【図3】 ひずみゲージ平面構造の説明図。

【図4】 制御装置の動作フローチャート。

【図5】 スパッタ法成膜装置のブロック図。

【図6】 CVD法成膜装置のブロック図。

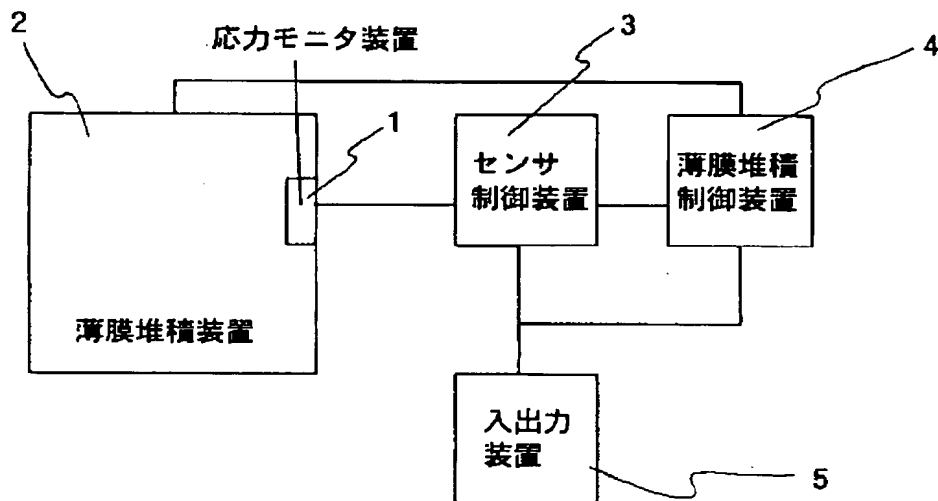
【図7】 反り変形測定方法の説明図。

【符号の説明】

1…応力センサ、3…応力センサ制御装置、4…薄膜堆積制御装置、5…入出力装置、6…スパッタ室、7…ターゲット保持治具、8…スパッタターゲット、9…基板、10…基板保持治具、15…ガス入出力系。

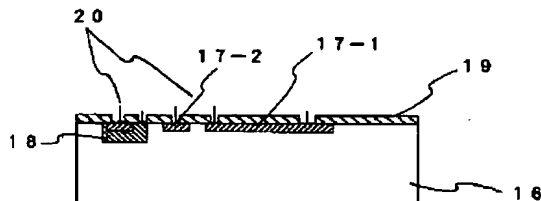
【図1】

図 1



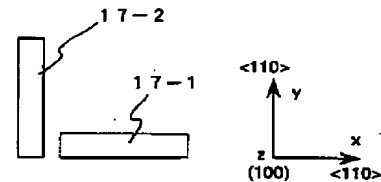
【図2】

図 2



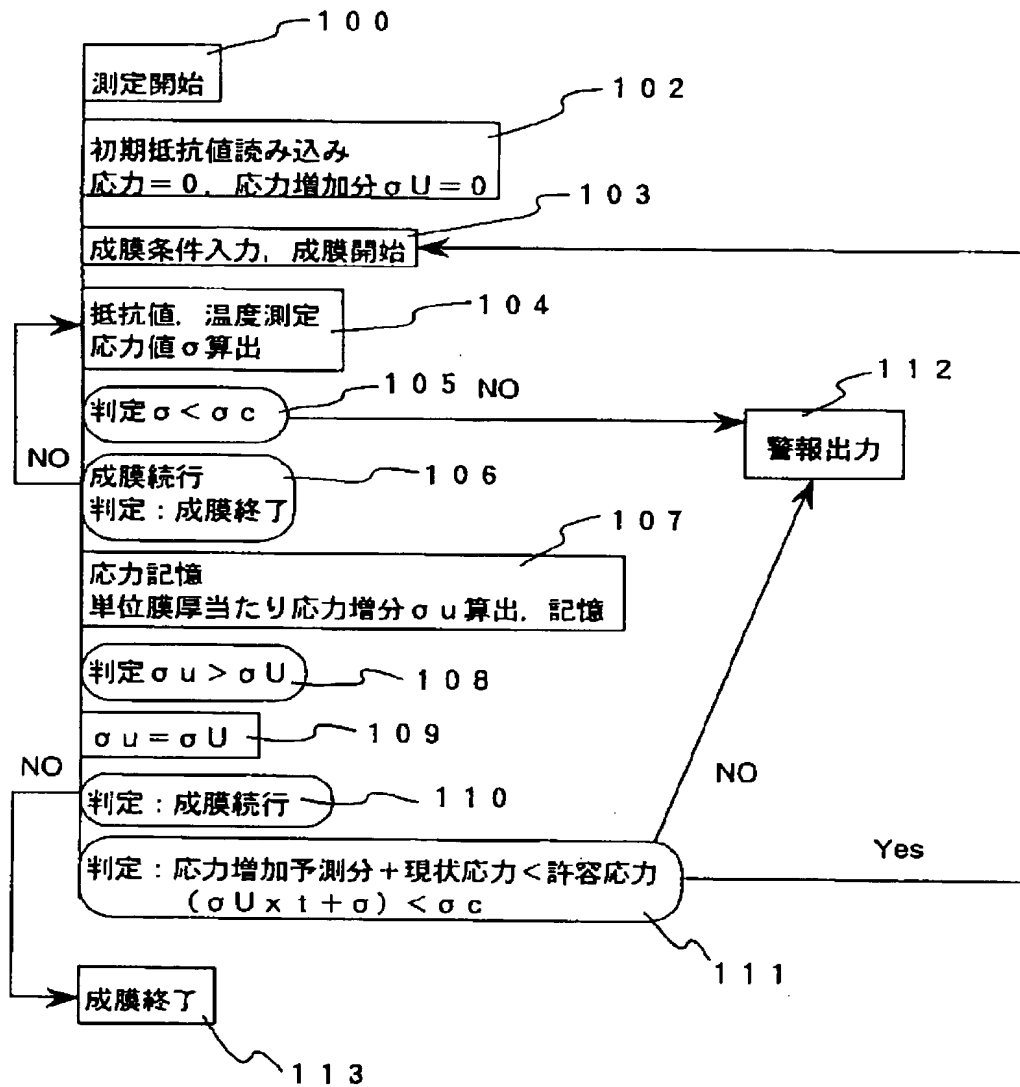
【図3】

図 3



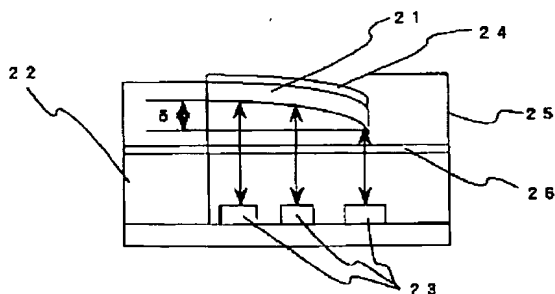
【図4】

図 4



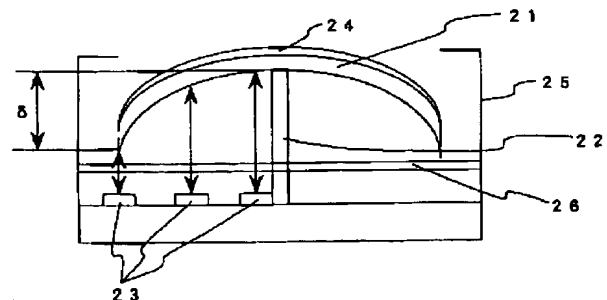
【図7】

図 7



【図8】

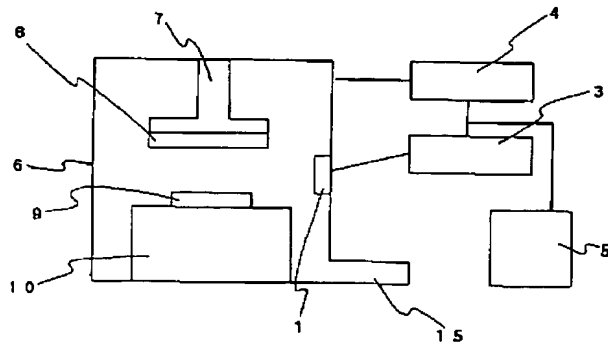
図 8





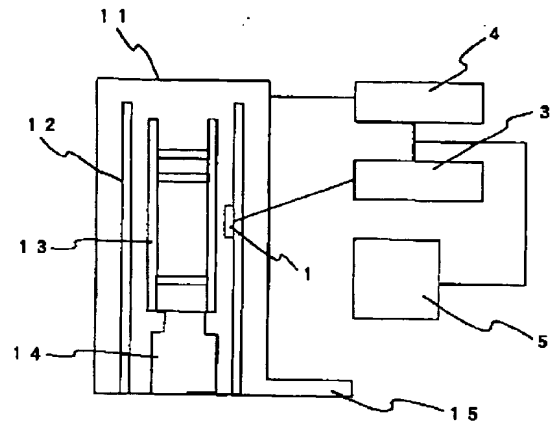
【図5】

図 5



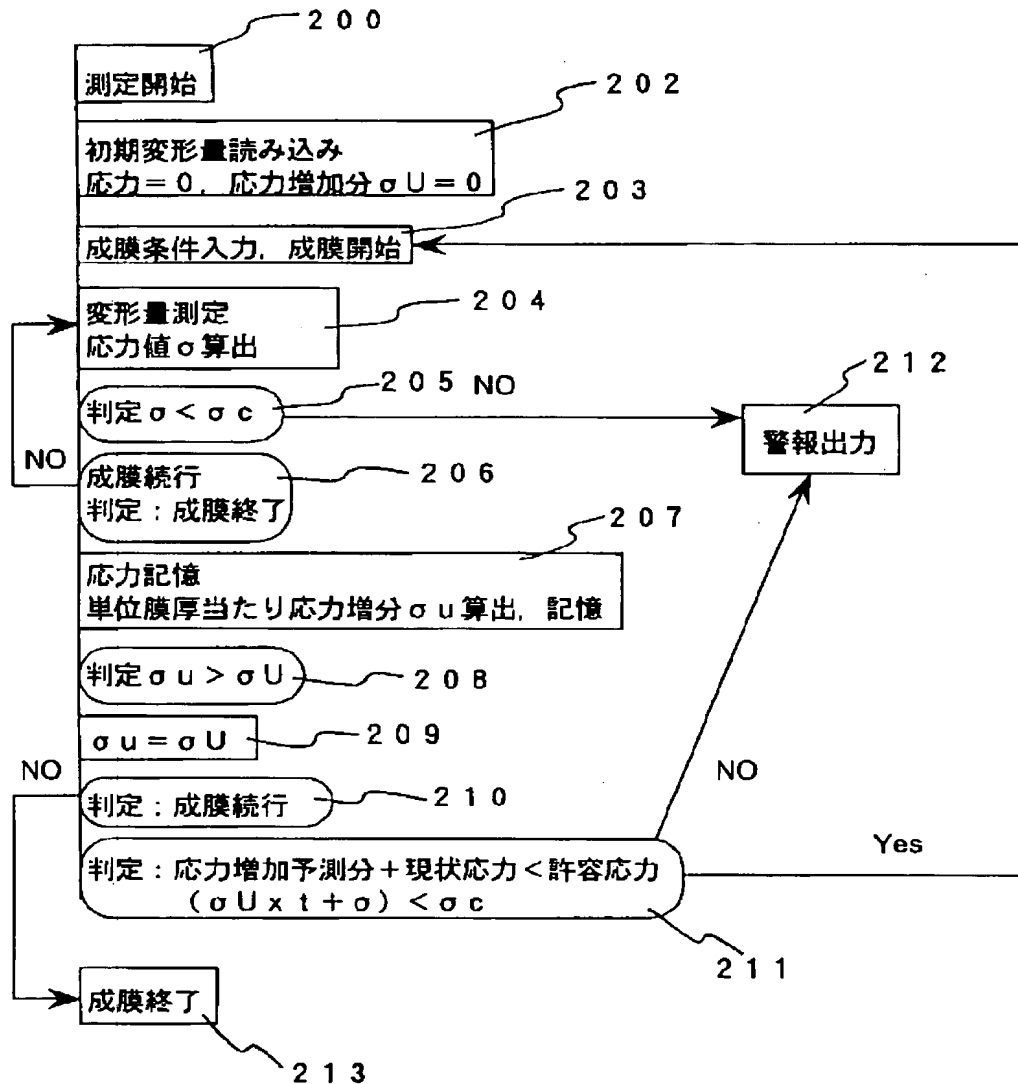
【図6】

図 6



【図9】

図 9



## 【手続補正書】

【提出日】平成7年6月6日

## 【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】図8

【補正方法】追加

【補正内容】

【図8】反り変形測定方法の説明図。

## 【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】図9

【補正方法】追加

【補正内容】

【図9】薄膜製造のフロー図。

フロントページの続き

(51) Int. Cl. <sup>6</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/31	F			
21/66	Y			

(72) 発明者 西村 朝雄  
茨城県土浦市神立町502番地 株式会社日  
立製作所機械研究所内